



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09162417 A**(43) Date of publication of application: **20 . 06 . 97**

(51) Int. Cl.

**H01L 29/786**  
**H01L 21/8238**  
**H01L 27/092**

(21) Application number: **08178371**(22) Date of filing: **08 . 07 . 96**(30) Priority: **07 . 07 . 95 US 95 499171**(71) Applicant: **NORTHERN TELECOM LTD**(72) Inventor: **N GARRY TEARLE**

(54) **CMOS INTEGRATED CIRCUIT ON SILICON ON INSULATOR SUBSTRATE AND METHOD OF FORMING INTEGRATED CIRCUIT ON SILICON ON INSULATOR SUBSTRATE**

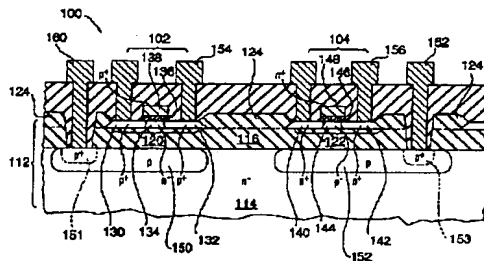
MOS FETs.

COPYRIGHT: (C)1997,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To reconcile the structure of a CMOS integrated circuit with an already-existing CMOS process technique and to obtain the optimum threshold voltage control of the integrated circuit which is actuated in a low voltage.

**SOLUTION:** This integrated circuit is constituted of N-MOS FETs 104 and P-MOS FETs 102, which are respectively formed on selected regions on a silicon surface layer, and two back gate electrodes 150 and 152, which are respectively formed of heavily doped region in the surface of a silicon substrate 114 which is adjacent to an insulating layer 116 and is located under the lower side of the layer 116. At this time, the electrode 150 is extended under the lower sides of one group of the FETs 102, the electrode 152 is extended under the lower sides of one group of the electrodes 104, each back gate electrode has a contact part for applying a bias voltage to each MOS FET and the threshold voltage of the individual groups of the MOS FETs is controlled by this contact parts by applying the bias voltage to the individual back gate electrodes to correspond to the



(11)特許出願公開番号

特開平9-162417

(43)公開日 平成9年(1997)6月20日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	29/786		H 0 1 L 29/78	6 1 3 A
	21/8238		27/08	3 2 1 B
	27/092		29/78	6 1 7 N

審査請求 未請求 請求項の数17 O L (全 16 頁)

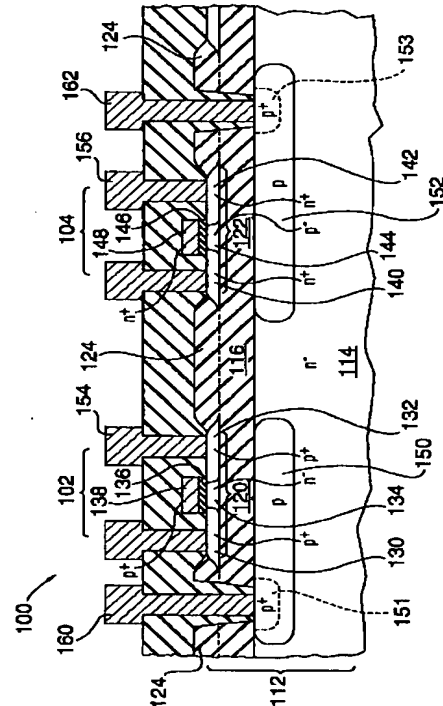
(21)出願番号	特願平8-178371	(71)出願人	390023157 ノーザン・テレコム・リミテッド NORTHERN TELECOM LIMITED カナダ国, エイチ2ワイ 3ワイ4, ケベック, モントリオール, エスティ. アントイン ストリート ウェスト 380 ワールドトレード センタ オブ モントリオール 8フロア
(22)出願日	平成8年(1996)7月8日	(72)発明者	エヌ. ギャリー タール カナダ国, ケイ1ブイ 9アール3, オンタリオ, オタワ, ベイサイド プライベート 9
(31)優先権主張番号	08/499 171	(74)代理人	弁理士 酒井 宏明
(32)優先日	1995年7月7日		
(33)優先権主張国	米国(US)		

(54) 【発明の名称】 シリコン・オン・インシュレータ基板上のCMOS集積回路およびシリコン・オン・インシュレータ基板上に集積回路を形成する方法

(57) 【要約】

【課題】 CMOS集積回路の構造と既存のCMOSプロセス技術とを両立させ、低電圧で動作する集積回路の最適閾値電圧制御を得ること。

【解決手段】 シリコン表面層の選択された領域に形成されたn-MOSFET104およびp-MOSFET102と、絶縁層116に隣接した下側のシリコン基板114の表面の、重度にドーブされた領域によって形成された、2つのバック・ゲート電極150、152とから構成され、バック・ゲート電極150は、一組のp-MOSFET102の下側に、バック・ゲート電極152は、一組のn-MOSFET104の下側に広がっており、各バック・ゲート電極が各MOSFETに対してバイアス電圧を印加するための接触部を有し、該接触部によって個々の組のMOSFETの閾値電圧を、対応するバック・ゲート電極にバイアスを印加することにより制御する。



## 【特許請求の範囲】

【請求項 1】 半導体基板層と、埋め込み絶縁誘電層と、その上側のシリコン表面層とから構成されるシリコン・オン・インシュレータ基板上の CMOS 集積回路において、

十分にディブリートされた CMOS 技術を用いて、前記シリコン表面層の選択された領域に形成された複数の n-MOSFET および p-MOSFET と、前記絶縁誘電層に隣接した下側の半導体基板層の表面の、重度にドーピングされた領域によって形成された、少なくとも 2 つのバック・ゲート電極とから構成され、前記第 1 のバック・ゲート電極は、一組の p-MOSFET の下側に広がっており、前記第 2 のバック・ゲート電極は、一組の n-MOSFET の下側に広がっており、各バック・ゲート電極が各 MOSFET に対してバイアス電圧を印加するための接触部を有し、前記接触部によって個々の組の MOSFET の閾値電圧を、対応するバック・ゲート電極にバイアスを印加することにより制御することを特徴とする CMOS 集積回路。

【請求項 2】 各組が個別の MOSFET により構成されており、各個々の MOSFET に対して別個のバック・ゲート電極が設けられていることを特徴とする請求項 1 に記載の CMOS 集積回路。

【請求項 3】 一組が複数の n-MOSFET のグループにより構成されており、別の組が複数の p-MOSFET のグループにより構成されており、各 p-MOSFET グループおよび各 n-MOSFET グループに対して別個のバック・ゲート電極が設けられていることを特徴とする請求項 1 に記載の CMOS 集積回路。

【請求項 4】 前記基板が第 1 の導電性タイプであり、各バック・ゲート電極が反対の導電性タイプの、重度にドーピングされた導電性領域により構成されていることを特徴とする請求項 1 に記載の CMOS 集積回路。

【請求項 5】 前記基板が第 1 の導電性タイプであり、その内部に形成された第 2 の導電性タイプのウェル領域を含んでおり、各バック・ゲート電極がウェル領域内部に形成された第 1 の導電性タイプの、重度にドーピングされた導電性領域により構成されていることを特徴とする請求項 1 に記載の CMOS 集積回路。

【請求項 6】 前記バック・ゲート電極が前記半導体基板のドーピング・タイプとは反対のドーピングタイプの、重度にドーピングされた領域により設けられており、前記バック・ゲート電極にバイアスを印加して、前記基板から前記バック・ゲート電極の接合絶縁する構造であることを特徴とする請求項 1 に記載の CMOS 集積回路。

【請求項 7】 少なくとも、1 つの電氣的に導電性のある接触部が、前記集積回路の導電性相互接続金属化層を介して各バック・ゲート電極に設けられる構造であることを特徴とする請求項 1 に記載の CMOS 集積回路。

【請求項 8】 前記シリコン表面層内に形成された個々

の MOSFET がフィールド酸化物層によって絶縁されており、前記バック・ゲート電極に対する接触が前記フィールド酸化物層を介して延びている貫通構造によって実現することを特徴とする請求項 1 に記載の CMOS 集積回路。

【請求項 9】 前記集積回路が、1 V 以下の電圧で動作し、前記回路が前記集積回路の動作中に前記 n-MOSFET および p-MOSFET のパラメータの変化に対応して、前記バック・ゲート・バイアスを発生する手段を含んでいることを特徴とする請求項 1 に記載の CMOS 集積回路。

【請求項 10】 前記バック・ゲート・バイアスが、前記シリコン表面層に形成され、金属相互接続ラインを介して前記バック・ゲート電極に対してバック・ゲート・バイアスを伝送する手段を含んだ前記集積回路の一部によって発生させられることを特徴とする請求項 9 に記載の CMOS 集積回路。

【請求項 11】 前記バック・ゲート・バイアスを提供するための電荷ポンピング手段を含んでいることを特徴とする請求項 10 に記載の CMOS 集積回路。

【請求項 12】 バック・ゲート電極により構成された MOSFET を含むシリコン・オン・インシュレータ基板上に集積回路を形成する方法において、

第 1 の導電性タイプの半導体基板層と、埋め込み絶縁層と、その上側にシリコン表面層とを有しているシリコン・オン・インシュレータ基板を設ける工程と、

前記基板層に、重度にドーピングされた導電性領域を形成することにより、前記シリコン表面層を介して、さらに前記埋め込み絶縁層を介して高エネルギー・イオン・インプランテーションにより前記基板層の一定の領域を選択的にドーピングすることによって埋め込みバック・ゲート電極を形成する工程と、

前記バック・ゲート電極の上側に広がる前記シリコン表面層内に MOSFET を形成する工程と、

前記 MOSFET の下側バック・ゲート電極により構成されている MOSFET の端子に対する電氣的接触を形成する工程と、

を含むことを特徴とする方法。

【請求項 13】 前記バック・ゲート電極を形成する工程が、前記基板層とは反対の導電性タイプの、重度にドーピングされた領域を形成する工程を含むことを特徴とする請求項 12 に記載の方法。

【請求項 14】 前記バック・ゲート電極を形成する工程が、

前記基板に第 2 の導電性タイプのウェル領域を形成し、つぎに、前記ウェル領域内に前記バック・ゲート電極を形成し、前記バック・ゲート電極が、前記ウェル領域内に絶縁された第 1 の導電性タイプの、選択的にドーピングされた領域によって設けられる工程と、

前記ウェル領域および前記バック・ゲート電極に対する

電氣的な接触を設ける工程と、

を含むことを特徴とする請求項 1 2 に記載の方法。

【請求項 1 5】 前記埋め込みバック・ゲート電極を形成する工程が、

前記シリコン表面層を介し、さらに前記埋め込み絶縁層を介して前記基板層内部へのドーパントの高エネルギー・インプランテーションによって前記基板を選択的にドーピングし、前記絶縁層に隣接した前記基板の領域に重度にドーピングされた領域を設ける工程と、

前記インプラントをアニールして前記絶縁層に隣接した前記基板層の表面領域に電極を設ける導電性領域を形成する工程と、

を含むことを特徴とする請求項 1 2 に記載の方法。

【請求項 1 6】 少なくとも、第 1 と第 2 のバック・ゲート電極を形成する工程と、それに続く、前記シリコン表面層に前記第 1 のバック・ゲート電極の上側に広がる 1 組の n-MOSFET と、前記第 2 のバック・ゲート電極の上側に広がる 1 組の p-MOSFET とを形成する工程を含んでおり、

前記 n-MOSFET の組と p-MOSFET の組の閾値電圧を、それぞれ独立に制御する目的で、バイアスを印加するために、前記第 1 および第 2 のゲート電極のそれぞれに対する少なくとも 1 つの接触を含めて、前記 n-MOSFET および p-MOSFET の端子に接触させる工程を含むことを特徴とする請求項 1 2 に記載の方法。

【請求項 1 7】 シリコン・オン・インシュレータ基板上に n-MOSFET および p-MOSFET を含んだ CMOS 集積回路を形成する方法において、

第 1 の導電性タイプの半導体基板層と、その上側の埋め込み絶縁層と、その上側の結晶性シリコン層により構成される基板を設ける工程と、

前記基板層内に、イオン・インプランテーションにより前記基板層の一定の領域を選択的に、重度にドーピングすることによって、複数の埋め込みバック・ゲート電極を形成し、第 2 の導電性タイプの導電性領域を形成し、それによってそれら電極を前記基板から接合絶縁する工程と、

前記シリコン表面層内の各バック・ゲート電極上に、一組の p-MOSFET と一組の n-MOSFET を形成し、それによって、前記各組の p-MOSFET と各組の n-MOSFET のそれぞれの閾値電圧を、対応する前記バック・ゲート電極にバイアスを印加することによって、それぞれ独立に制御できるようにする工程と、を含むことを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、シリコン・オン・インシュレータ基板上の CMOS 集積回路およびシリコン・オン・インシュレータ基板上に集積回路を形成す

る方法に関し、特に、低電圧で動作可能な回路において、より改良された閾値電圧制御の実現に関するものである。

【0002】

【従来の技術】 従来における相補型金属酸化膜 (CMOS) 技術において、MOS 電界効果トランジスタ (MOSFET) はバルク・シリコン基板ウェハの表面に埋め込まれ、分散された半導体ウェル領域内に形成される。MOSFET の閾値電圧は、例えば、S. M. Sze, "Physics of semiconductor devices", 2nd. ed., p. 442 に記述されているように、MOSFET の電源接合とウェルとの間にバイアスを印加することによって調節、制御できることは、これまでも知られている。

【0003】 閾値電圧制御に関する、この技術は往々にして“バックゲーティング”と呼ばれる。通常、電源とウェルとの間には逆バイアスが印加され、n-チャンネル・トランジスタの閾値電圧をよりポジティブに、p-チャンネル・デバイスの閾値電圧よりネガティブにする。

【0004】 しかしながら、電源・基板接合に小さな順方向バイアスを印加して、n-チャンネル閾値をよりネガティブに、p-チャンネル閾値をよりポジティブにすることも可能である。通常、順方向バイアスは約 0.4 V より大きくはなく、また、電源・ウェル接合は十分に導通し始め、回路動作に影響を及ぼす。

【0005】 1 V あるいはそれ以下の供給電圧で動作する低出力 CMOS 集積回路が報告されている。1 V 程度の供給電圧は、装置内の高電界によって加速されるエネルギー性電子に関連した“ホット・キャリア”効果を最小限に抑えるためにも、 $\sim 0.1 \mu\text{m}$  以下のトランジスタ・ゲート長による将来の CMOS 技術のためにも必要となるものである。1 V 電源からの動作には MOSFET 閾値電圧を通常の 5 V 電源で動作する回路の場合に必要なものと比較して非常に狭い範囲で制御することが求められる。その入力ゲートがその電源に対してゼロ・バイアスの場合に MOSFET があまり導電性を示さないための必要条件是、n-チャンネル・トランジスタの閾値電圧が約 0.3 V より大きく、p-チャンネル・トランジスタの閾値電圧が約 -0.3 V より低いことを必要とする。

【0006】 温度および処理条件に合わせて閾値電圧が変動することができるようにするために、上記の (閾値電圧) 値に一定のマージンを加える必要がある。回路において電流を供給する MOSFET の能力は、通常、電源供給電圧と閾値電圧との差によって決定されるので、1 V 以下の供給電圧による集積回路の動作はトランジスタ閾値電圧の変動によって強く影響される。

【0007】 最近、J. Burr と J. Shott は、“スタンフォード超低電力 CMOS を用いた 200 mV

セルフ・テスト・エンコーダ/デコーダ”、1994 IEEEソリッド・ステート回路会議のテクニカル・ダイジェスト、p84で、非常に低い(1V以下)供給電圧で動作するCMOS集積回路におけるトランジスタの閾値電圧を調節するためのバックゲーティングの技術について実証している。

【0008】上記技術によって、各トランジスタの電源とウェルとの間に印加されるバイアスを制御するための追加回路を組み込むことによって、アナログおよびデジタルCMOS集積回路を0.2Vもの低い供給電圧で動作させることができる可能性があることが示された。バックゲーティングによる閾値調節がプロセス・バリエーションを可能にするばかりでなく、回路動作中にもダイナミックに行うことができ、温度や他の条件の変動に対応して閾値電圧を変化させることを可能にしてくれる。

【0009】装置の構造を適切に設計することによって、シリコン・オン・インシュレータ(SOI)基板の使用は従来の“バルク(bulk)”CMOS、すなわち、通常のバルク・シリコン基板上に形成されるCMOS回路と比較してかなりの利点を提供してくれる。SOI基板は低い供給電圧で動作する低電力集積回路にとっては有益である。特に、電源およびドレイン領域と基板との間のキャパシタンスは大幅に減少され、電源およびドレイン結合漏出電流がなくなる。

【0010】CMOS集積回路の生産のためのSOI基板の使用は広範に研究されている。SOI基板は結晶性シリコン・ウェハ内あるいは上側に形成された埋め込み酸化物層に重なった結晶性シリコンの薄膜で形成されている。SOI基板を形成するためのいろいろな技術は、例えば、S. WolfによってSilicon Processing for the VLSI Era: Vol. 2 Process Integration, p. p. 66-76, (Lattice Press, Sunset Beach CA, 1990)において検討されている。

【0011】SOI基板を形成する公知の手法は、バルク・シリコン・ウェハへの高用量および高エネルギーでの酸素のインプランテーションであり、つぎに、例えば、T. W. MacElwee, I. D. Calder, R. A. BruceおよびF. R. Shepherd, “High performance fully depleted silicon-on-insulator transistors”, IEEE Trans. Electron. Devices, ED-37, 1444 (1990)、および、米国特許No. 4,804,633に述べられているような高温アニーリングによるものである。このようにして作られたSOI基板はSIMOX(separation by implantation of oxygen)材料として知られるようになった。

【0012】SOI基板はまた、酸化物層上にディポジットされたアモルファスあるいは多結晶シリコン・フィルムのゼロ溶解再結晶化、または、酸化物シリコン・ウェハをキャリア基板に静電結合させ、つぎに、化学・機械的研磨方法を用いて最初のウェハの薄膜を除いてすべてを取り除くことによって製造することができる。

【0013】回路の性能を改善してくれることが分かっているCMOS-on-SOI技術の変形例において、MOSFETチャンネルを形成するシリコン・フィルムは、例えば、上記MacElweeらの引例で述べられているように、ゲート・バイアスが与えられないとフリー・キャリアが完全にディプリートされている。こうした“十分にディプリートされた”技術は、ゲート電圧の変化がゲートの下側のチャンネルの可動キャリア濃度の変化によってほとんど完全に吸収されるので、高いトランスコンダクタンスを与えてくれる。

【0014】対照的に、ゲート電圧における通常のMOSFET相当部分はそのチャンネルの下側のディプリート領域における電荷の変化に吸収されてしまい、ソースとドレイン間の電流には寄与しない。十分にディプリートされたMOSFETはまた、小さな値の準閾値スイング $S(S=dV_g/d\log I_D)$ として定義される。ここで $V_g$ はゲート電圧、 $I_D$ はドレイン電流である)。MOSFETの閾値電圧は、準閾値スイングが小さければゼロに近い値に設定できるので、低供給電圧で動作する回路にとっては特に重要である。このことは、さらに、供給電圧と閾値電圧との間の大きな差をもたらし、MOSFETの電流ドライブを改善してくれる。

【0015】SOI基板上に形成される十分にディプリートされたMOSFETにおいては、閾値電圧は薄膜シリコンの厚みとその薄膜内でのドーピング・レベルにかなり依存している。現在、閾値電圧をうまく制御するために十分な精度をもってシリコン薄膜の厚みを制御するのは困難であると考えられている(B. Davari, short course notes on low-power CMOS integrated circuits, IEDM '93)。その結果、閾値電圧はプロセス上の変動を可能にするためにかなり高い値に設定しなければならないので、十分にディプリートされたデバイスの小さな準閾値スイング $S$ という利点の多くが失われてしまう。

【0016】ゲート電極がシリコン薄膜の上と下の両方に配置されているSOI基板を用いたいくつかのMOSFET構造が知られている。この種類の装置は“ダブル・ゲート”MOSFETとして知られるようになっている。これらのゲートは酸化物層によってチャンネルから隔離されると同時に、別の酸化物層によって基板からも隔離されている。“ダブル・ゲート”構造は、F. Balestra, S. Cristoloveanu, M. Benachir, J. Brini, および、T. El

ewaによって、“Double-gate silicon-on-insulator transistor with volume inversion: a new device with greatly enhanced performance”, IEEE Electron Device Letters EDL-8, 410 (1987)において理論的研究として1987年に初めて提案された。

【0017】この研究において、2つのゲート電極の使用はMOSFETチャンネルを形成しているシリコン・フィルムの上表面と底面の両方に導電領域が形成されるようにし、トランスコンダクタンスを増大させると同時に、より一般的にはMOSFETの電流ドライブ能力を増大させることが知られている。Bailestraらは、下側の電極がSIMOX基板調製の過程で異なったエネルギーで2回の酸素インプラントを実行し、高温アニーリング後に2つの埋め込み酸化物層を形成することでできるであろうという提案を行った。この構造は、後日実験で実現されている。

【0018】T. Ohno, S. Matsumoto, および, K. Izumi (NTT) はElectronics Letters 25, p. 1071 (1989)で、下側電極を高電力回路のためのシールド電極として用いることについて述べている。MOSFETチャンネルの下側に位置する溝内に形成された下側電極を有するダブル・ゲートの別の例が、Omuraら (NTT) に対する“SOI半導体素子の製造方法”と題する米国特許No. 5, 188, 973に開示されている。

【0019】ダブル・ゲート構造に関しては、T. Tanaka, K. Suzuki, H. Horie, および, T. Sugii (富士通) によって、VLSI技術1994年シンポジウムのダイジェスト技術要録の11ページに記述されており“P'-n' ダブル・ゲートMOSFETの超高速低電力動作”と題する論文に報告されており、それは複雑なプロセスを用いて実現されている。

【0020】このプロセスで、ウェハは、通常のCMOS処理工程のポリシリコン・ゲート・パターンニングの段階に移される。このウェハはつぎにキャリア基板に静電気を介して結合され、残りのシリコンの厚みが0.1  $\mu$ m程度になるまで、その裏面からその材料が取り除かれる。この段階で、裏面上にゲート酸化物が成長し、ポリシリコン・ゲートがソースおよびドレイン領域と共に形成されて、MOSFET構造が完成する。Tanakaraは低電力集積回路でのその使用を可能にするためMOSFETの低閾値電圧を実現するために、反対のドーピングタイプの(すなわち、上部電極がp'にドーブされ、下側電極がn'にドーブされた)上部および下部ゲート電極を製造することについて報告している。

【0021】“Silicon on insulator device”と題するPhilips社のWiddershovenらに対する米国特許No. 4, 864, 377にもSOI基板上に形成されたMOSトランジスタのチャンネル領域の下側にあるシリコン層内部に形成されている、重度にドーブされた接触ゾーンにより構成された別の構造について述べられている。

【0022】米国特許5, 103, 277で、Cavilliaらは、センシング回路およびn-MOSFETおよびp-MOSFETのためのバック・ゲート電極を形成する基板に対して印加されるバイアス電圧を発生するオペアンプ・オフ・チップを用いて放射ダメージによる閾値電圧における変化を補償するための方法について述べている。

【0023】その内部で基板がp-MOSFETのバック・ゲートを形成し、バック・ゲート電極がSOI基板上に形成されるn-MOSFETのチャンネル領域の下方に形成されて、p-およびn-MOSFETに別個のゲート・バイアスが印加されるようになっている別の構造が示唆されている。n-タイプ基板上に形成された1つの例で、p-タイプのバック・ゲート電極がn-FETsのチャンネル領域の下側の基板の表面に形成され、基板自体はp-FETのバック・ゲートを形成している。

【0024】バイアスは基板に印加され、基板はp-タイプのバック・ゲート電極上のバイアスよりポジティブに維持され、その結果得られる逆方向にバイアスされたダイオードは電流がそれぞれのバック・ゲート・ソース間を流れることを阻止する。バック・ゲートのバイアス・レベルと基板を特定な関係に維持するという制約を克服するために、n-FETのバック・ゲート電極がチャンネル領域の下側の絶縁層に形成されている金属層によって設けられている別の構造が提案されている。後者の構造にあっては、電極は完全に絶縁層内で孤立している。それにもかかわらず、Cavilliaは、これらのゲート電極構造を実際にどうつくるのかについては何らの示唆も提供していない。

【0025】SOI基板上のMOSFETにおける閾値電圧制御を実現するためにいろいろな別の方法が考案されている。例えば、SOIトランジスタのための閾値最適化は、Doyleら(Digital Equipment Corp.)に与えられた米国特許5, 387, 530に記述されているように、ゲート酸化物内に電荷層を形成することによって達成される。

【0026】Texas Instruments社のHoustonらに与えられた米国特許No. 5, 185, 280には、“ポケット・インプラントおよびボディ・ソースBTS接触によるSOIトランジスタの製造法”が述べられている。局所化‘ポケット’インプラントはバック・ゲート閾値電圧を増強するために用いられ

た。Vinal (Thunderbird Technologies) は米国特許 No. 5, 151, 759 内で、閾値電圧をフェルミ電位の二倍に設定することによって、閾値電圧をゲート酸化物の厚みや、チャンネルの長さ、ドレイン電圧とは無関係にする“フェルミ域値 SOI トランジスタ”について開示している。

【0027】

【発明が解決しようとする課題】このように、種々のバック・ゲート MOSFET 構造が知られているが、これらの構造の多くは製造に手間がかかり、これらの構造と既存の CMOS プロセス技術とを両立させるのは容易ではないという問題点があった。

【0028】本発明は、上記に鑑みてなされたものであって、CMOS 集積回路の製造を容易にし、これらの構造と既存の CMOS プロセス技術とを両立させ、低電圧で動作する集積回路の最適な閾値電圧制御を得ることができるシリコン・オン・インシュレータ基板上的 CMOS 集積回路およびシリコン・オン・インシュレータ基板上に集積回路を形成する方法を提供することを目的とする。

【0029】

【課題を解決するための手段】上記の目的を達成するために、請求項 1 に係る CMOS 集積回路は、半導体基板層と、埋め込み絶縁誘電層と、その上側のシリコン表面層とから構成されるシリコン・オン・インシュレータ基板上的 CMOS 集積回路において、十分にディプリートされた CMOS 技術を用いて、前記シリコン表面層の選択された領域に形成された複数の n-MOSFET および p-MOSFET と、前記絶縁誘電層に隣接した下側の半導体基板層の表面の、重度にドーブされた領域によって形成された、少なくとも 2 つのバック・ゲート電極とから構成され、前記第 1 のバック・ゲート電極は、一組の p-MOSFET の下側に広がっており、前記第 2 のバック・ゲート電極は、一組の n-MOSFET の下側に広がっており、各バック・ゲート電極が各 MOSFET に対してバイアス電圧を印加するための接触部を有し、前記接触部によって個々の組の MOSFET の閾値電圧を、対応するバック・ゲート電極にバイアスを印加することにより制御するものである。

【0030】また、請求項 2 に係る CMOS 集積回路は、各組が個別の MOSFET により構成されており、各個々の MOSFET に対して別個のバック・ゲート電極が設けられているものである。

【0031】また、請求項 3 に係る CMOS 集積回路は、一組が複数の n-MOSFET のグループにより構成されており、別の組が複数の p-MOSFET のグループにより構成されており、各 p-MOSFET グループおよび各 n-MOSFET グループに対して別個のバック・ゲート電極が設けられているものである。

【0032】また、請求項 4 に係る CMOS 集積回路

は、前記基板が第 1 の導電性タイプであり、各バック・ゲート電極が反対の導電性タイプの、重度にドーブされた導電性領域により構成されているものである。

【0033】また、請求項 5 に係る CMOS 集積回路は、前記基板が第 1 の導電性タイプであり、その内部に形成された第 2 の導電性タイプのウェル領域を含んでおり、各バック・ゲート電極がウェル領域内部に形成された第 1 の導電性タイプの、重度にドーブされた導電性領域により構成されているものである。

【0034】また、請求項 6 に係る CMOS 集積回路は、前記バック・ゲート電極が前記半導体基板のドーピング・タイプとは反対のドーピングタイプの、重度にドーブされた領域により設けられており、前記バック・ゲート電極にバイアスを印加して、前記基板から前記バック・ゲート電極の接合絶縁する構造である。

【0035】また、請求項 7 に係る CMOS 集積回路は、少なくとも、1 つの電気的に導電性のある接触部が、前記集積回路の導電性相互接続金属化層を介して各バック・ゲート電極に設けられる構造である。

【0036】また、請求項 8 に係る CMOS 集積回路は、前記シリコン表面層内に形成された個々の MOSFET がフィールド酸化物層によって絶縁されており、前記バック・ゲート電極に対する接触が前記フィールド酸化物層を介して延びている貫通構造によって実現するものである。

【0037】また、請求項 9 に係る CMOS 集積回路は、前記集積回路が、1 V 以下の電圧で動作し、前記回路が前記集積回路の動作中に n-MOSFET および p-MOSFET のパラメータの変化に対応して、前記バック・ゲート・バイアスを発生する手段を含んでいるものである。

【0038】また、請求項 10 に係る CMOS 集積回路は、前記バック・ゲート・バイアスが、前記シリコン表面層に形成され、金属相互接続ラインを介して前記バック・ゲート電極に対してバック・ゲート・バイアスを伝送する手段を含んだ前記集積回路の一部によって発生させられるものである。

【0039】また、請求項 11 に係る CMOS 集積回路は、前記バック・ゲート・バイアスを提供するための電荷ポンピング手段を含んでいるものである。

【0040】また、請求項 12 に係る方法は、バック・ゲート電極により構成された MOSFET を含むシリコン・オン・インシュレータ基板上に集積回路を形成する方法において、第 1 の導電性タイプの半導体基板層と、埋め込み絶縁層と、その上側にシリコン表面層とを有しているシリコン・オン・インシュレータ基板を設ける工程と、前記基板層に、重度にドーブされた導電性領域を形成することにより、前記シリコン表面層を介して、さらに前記埋め込み絶縁層を介して高エネルギー・イオン・インプランテーションにより前記基板層の一定の領域

を選択的にドーピングすることによって埋め込みバック・ゲート電極を形成する工程と、前記バック・ゲート電極の上側に広がる前記シリコン表面層内にMOSFETを形成する工程と、前記MOSFETの下側バック・ゲート電極により構成されているMOSFETの端子に対する電氣的接触を形成する工程と、を含むものである。

【0041】また、請求項13に係る方法は、前記バック・ゲート電極を形成する工程が、前記基板層とは反対の導電性タイプの、重度にドーブされた領域を形成する工程を含むものである。

【0042】また、請求項14に係る方法は、前記バック・ゲート電極を形成する工程が、前記基板に第2の導電性タイプのウェル領域を形成し、つぎに、前記ウェル領域内に前記バック・ゲート電極を形成し、前記バック・ゲート電極が、前記ウェル領域内に絶縁された第1の導電性タイプの、選択的にドーブされた領域によって設けられる工程と、前記ウェル領域および前記バック・ゲート電極に対する電氣的な接触を設ける工程と、を含むものである。

【0043】また、請求項15に係る方法は、前記埋め込みバック・ゲート電極を形成する工程が、前記シリコン表面層を介し、さらに前記埋め込み絶縁層を介して前記基板層内部へのドーパントの高エネルギー・インプラネーションによって前記基板を選択的にドーピングし、前記絶縁層に隣接した前記基板の領域に重度にドーブされた領域を設ける工程と、前記インプラントをアニールして前記絶縁層に隣接した前記基板層の表面領域に電極を設ける導電性領域を形成する工程と、を含むものである。

【0044】また、請求項16に係る方法は、少なくとも第1と第2のバック・ゲート電極を形成する工程と、それに続く、前記シリコン表面層に前記第1のバック・ゲート電極の上側に広がる1組のn-MOSFETと、前記第2のバック・ゲート電極の上側に広がる1組のp-MOSFETとを形成する工程を含んでおり、前記n-MOSFETの組とp-MOSFETの組の閾値電圧を、それぞれ独立に制御する目的で、バイアスを印加するために、前記第1および第2のゲート電極のそれぞれに対する少なくとも1つの接触を含めて、前記n-MOSFETおよびp-MOSFETの端子に接触させる工程を含むものである。

【0045】また、請求項17に係る方法は、シリコン・オン・インシュレータ基板上にn-MOSFETおよびp-MOSFETを含んだCMOS集積回路を形成する方法において、第1の導電性タイプの半導体基板層と、その上側の埋め込み絶縁層と、その上側の結晶性シリコン層により構成される基板を設ける工程と、前記基板層内に、イオン・インプラネーションにより前記基板層の一定の領域を選択的に、重度にドーピングすることによって、複数の埋め込みバック・ゲート電極を形

成し、第2の導電性タイプの導電性領域を形成し、それによってそれら電極を前記基板から接合絶縁する工程と、前記シリコン表面層内の各バック・ゲート電極上に、一組のp-MOSFETと一組のn-MOSFETを形成し、それによって、各組のp-MOSFETと各組のn-MOSFETのそれぞれの閾値電圧を、対応する前記バック・ゲート電極にバイアスを印加することによって、それぞれ独立に制御できるようにする工程と、を含むものである。

10 【0046】

【発明の実施の形態】以下、この発明に係るシリコン・オン・インシュレータ基板上のCMOS集積回路およびシリコン・オン・インシュレータ基板上に集積回路を形成する方法の実施の形態について図面を参照して詳細に説明する。

【0047】（実施の形態1）まず、実施の形態1について説明する。SOI基板12上に公知の先行技術に基づくMOSFET20を含む集積回路10の断面図を図1に示す。SOI基板12は、その上に二酸化シリコンの絶縁層16が形成されているシリコン基板ウェア14と、薄い結晶シリコン表面層18を有している。SOI基板12は上記した、いずれの方法を用いて形成してもよく、好ましくはSIMOXプロセスで形成される。

【0048】MOSFETの重度にドーブされたnタイプのソース領域およびドレイン領域22は、通常の方法で、結晶シリコン表面層18の一部を選択的にドーブすることによって、すなわち、イオン・インプラネーションの方法で形成される。

【0049】通常のポリシリコン・ゲート電極24がMOSFETの軽度ドーブされたpタイプ・チャンネル領域28上方の薄いゲート酸化物層26上に形成される。このチャンネル領域28の下側に、第2のゲート電極30、すなわち“バック・ゲート”が絶縁層16の内部に、すなわち、二酸化シリコンの絶縁層16内に形成される。第1のゲート電極（ポリシリコン・ゲート電極）24と第2のゲート電極30は、したがって、図1に示されているように、MOSFET20のチャンネルを形成する薄いシリコン薄膜のチャンネル領域28の上側と下側に形成される。

【0050】第1のゲート電極24は、チャンネル領域28からゲート酸化物層26によって分離される。バック・ゲート（第2のゲート電極30）は絶縁層16の一部分32によってチャンネル領域28から分離されており、下側のシリコン基板ウェア（半導体層）14とは絶縁層16の一部分34によって分離されている。この種のタイプの装置は“ダブル・ゲート”MOSFETとして知られている。

【0051】半導体基板44、絶縁層46、およびその内部にトランジスタのソース、ドレインおよびチャンネル領域が形成されている薄いシリコン表面層62とで構



成されるシリコン・オン・インシュレータ基板上に形成されたp-チャンネルMOSFET 41とn-チャンネルMOSFET 42とから構成される別のCMOS集積回路40の断面図を図2に示す。

【0052】この図2は、MOSFET 41のソース52、ドレイン54およびチャンネル50と、MOSFET 42のソース58、ドレイン60およびチャンネル56とを示している。下側のシリコン表面層（絶縁層）62の一部はゲート64および66の下側のトランジスタのゲート酸化物を構成している。n-ドーパされた基板44で、電極70はp-ドーパされてn-MOSFET 42のバック・ゲート電極を形成し、接触部72が電極70に対してバイアスを印加する。

【0053】別の接触部68がp-MOSFET 41のバック・ゲート電極を形成している基板に設けられている。このようにして、n-およびp-MOSFETの閾値電圧は基板および電極70に対してバイアスを印加することによって調節することができ、電極70は基板から接合絶縁され、基板が電極70より高いポジティブ・バイアスに維持される。

【0054】つぎに、この実施の形態1に係るSOI基板112上に形成された、p-チャンネルMOSFET 102とn-チャンネルMOSFET 104により構成されるCMOS集積回路100の断面図を図3に示す。

【0055】SOI基板112（図4参照）は、軽度ドーパされたn-タイプ・ウェハである開始時のシリコン基板114を含み、さらに、埋め込み絶縁層116を形成する二酸化シリコンの層によってSOI基板114の層から分離されている薄いシリコン表面層118を含んでいる。SOI基板112は、好ましくはSIMOX技法で形成される。

【0056】図3に示されるように、シリコン表面層118は選択的にドーパされてn-ウェル領域120とp-ウェル領域122が形成され、それらウェルの内部にそれぞれ個々のMOSFET 102および104が形成される。これらのウェル領域はこれらの領域の薄いシリコン表面層118（図4参照）の完全酸化部分によって形成されるフィールド酸化物124の領域によって電気的に隔離されている。n-ウェルの表面領域は通常の方法で選択的にドーパされ、重度にドーパされるp-タイプ・ソース領域130およびドレイン領域132、および、その中間に介在する軽度ドーパされたチャンネル領域134によって構成されるp-チャンネルMOSFET 102を形成している。また、ゲート酸化物層136およびポリシリコン・ゲート電極138がその上に通常の方法で形成されている。

【0057】それに対応して、ソース領域140、ドレイン領域142、チャンネル領域144、ゲート酸化物146、および、ゲート電極148を有するn-チャンネルMOSFET 104がシリコン表面層118（図4

参照）のp-ウェル部分122内に形成される。各MOSFET 102と104も下側に広がるバック・ゲート電極150、152をそれぞれ有している。

【0058】バック・ゲート電極150はn-タイプの基板層114内に形成され、p-チャンネルMOSFET 102の下側に延びている重度にドーパされたp-タイプ領域によって形成されている。また、それに対応して、別の重度にドーパされたn-チャンネルMOSFET 104の下側に広がるp-タイプ領域によって、バック・ゲート電極152が形成されている。金属相互接続ライン、例えば、154および156は通常の方法で、トランジスタのソース、ドレインおよびゲート領域のそれぞれに対する電気的接触を実現する。

【0059】さらに別の、フィールド酸化物層124を介して延びる金属相互接続ライン160と162がバック・ゲート電極150および152に対してそれぞれ電気的な接触を実現する。これらの接触はバック・ゲート電極にバイアスを印加したり、そして／または、完成した集積回路の他の部分への接続を可能にしている。

【0060】好適に、バック・ゲート電極150、152は基板とは反対の導電性を有しており、基板より重度にドーパされているので、それらは薄いシリコン表面層118に形成される上側のMOSFET 102および104のソース接合に対してバイアスされたときに、重度にデブリートされない。これは閾値電圧制御におけるバック・ゲート電極の影響を最小限に抑える上で重要である。

【0061】よく知られているように、基板バイアスを印加することによって、SOI基板上に形成されるMOSFETの閾値電圧 $V_t$ をシフトさせることができる。図3に示す集積回路構造は各n-MOSFETおよびp-MOSFETに対して個別のバック・ゲート電極を設け、各電極は他の各電極から接合絶縁されている。したがって、各デバイスの閾値電圧を個別に最適化させることができる、すなわち、各バック・ゲートを選択的にバイアスさせることができるものである。

【0062】都合が良いことに、バイアス回路は電荷ポンピング法を用いてチップ上に組み込まれる。電荷ポンピングによって供給電圧の約二倍のバック・ゲート・バイアスを得ることができ、これによって合理的な範囲の $V_t$ 調節が可能になる。この回路は回路性能を最適化するためのバイアシングの制御を可能にしてくれるだけではなく、例えば、動作中の温度の変化に対応してバイアスを調節するために、動作中の補償を行うことも可能にし、多重電力供給の必要性をなくしてくれるという効果がある。

【0063】バック・ゲート・バイアシングによる閾値電圧の制御は、その内部にMOSFETが構成される薄いシリコン・フィルムの十分なデブリションに依存している。したがって、MOSFETの製造においては、M

OSFETを形成するためのシリコン・フィルムのドーピング・レベルが制御されて十分にディブリートされたCMOS技術が提供される。

【0064】例えば、 $n$ -チャンネルFETにおいては、十分なデブリションとはデバイスのアクティブなチャンネルを形成されるシリコン・フィルム内の大部分のキャリア濃度が、バイアスが印加されない場合に、どの場所でもイオン化されたドーパント濃度の半分より低いことを意味している。

【0065】ここに、図示されていない本発明に係る他の実施の形態による集積回路にあっては、第1のバック・ゲート電極が1組の、複数の $n$ -MOSFETに対して設けられ、第2のゲート電極が別の組の複数の $p$ -MOSFETに対して設けられる。このようにして、個々のバック・ゲート電極が単一のMOSFET、あるいはMOSFETのグループを選択的に制御することができ、また、異なったバイアスを、必要に応じて、トランジスタのグループ、あるいは個々のトランジスタに対して選択的に印加することが可能になる。その結果、個々のトランジスタ、あるいはトランジスタのグループの閾値電圧を制御することができ、回路の性能を最適化することができる。

【0066】上に述べたように、十分にディブリートされたCMOS技術においては、閾値電圧は基本的には薄いシリコン表面層の厚みで決定される。それは、製造中に制御するのは難しい場合がある。上に述べたような、個々のトランジスタ、またはトランジスタ・グループの閾値電圧をより適正に制御することによって、こうしたプロセス変動に対する補償が可能になる。したがって、十分にディブリートされたMOSFETの高トランスコンダクタンスおよび小さな準閾値スイングという利点を低電圧回路装置に生かすことができる。

【0067】つぎに、集積回路構造を製造する方法において、図4に示すようなSOI基板を形成する好ましい方法は、例えば、上記したMacEIlweeらの文献に述べられているようなSIMOX法である。好ましくは、市販されているSOI基板ウェアが用いられる。例えば、典型的なSIMOXプロセスの場合、結晶方向性(100)を有する通常の $n$ -タイプ・シリコン・ウェハを用いて $10^{15} \text{ cm}^{-3}$ 程度の燐( $n$ -タイプ)ドーピングを行い、 $1.5 \times 10^{18} \text{ cm}^{-2}$ 程度の用量、約150 keV程度のエネルギーで酸素をインプラントし、ウェハは約550℃の温度に維持する。

【0068】このウェハは、約1350℃の温度で、約6時間程度アニールされて、図3に示されているように、残りのシリコン基板114の下側の厚み300 nm程度の埋め込み酸化物(絶縁)層116と、埋め込み酸化物層116の上側に広がる、厚みが150 nm程度の薄い単一結晶のシリコン表面層118が形成される(図4参照)。

【0069】また、図5に示すように、SIMOX基板が設けられた後、犠牲酸化物層を用いて、上記薄いシリコン表面層118の厚みを80 nm程度に減らす。この犠牲層はエッチングで取り除かれる。つぎに厚みが25 nm程度のパッド酸化物170を全面に成長させ、その上に熱的にディポジットされた窒化シリコン172の層が、そのパッド酸化物170の上に約100 nm程度の厚みでディポジットされる。この窒化シリコン172およびパッド酸化物170の層はフォトリソグラフィでパターン化され、エッチングによって、アクティブなトランジスタ間を絶縁することが意図されたフィールド領域174から選択的に取り除かれる。

【0070】つぎに、露出されたフィールド領域174の酸化が、これらの領域内における薄いシリコン表面層118が完全に消費されるまで水蒸気を含んだ雰囲気内で行われ、それによってフィールド酸化物層124が形成される(図6参照)。先行技術において公知のシリコンの局部酸化(LOCOS)技術の一例である、この後者の手順では、保護されない領域に厚さ0.2  $\mu\text{m}$ 程度のフィールド酸化物層124が残される。シリコン表面層118は窒化シリコン172の層によって酸化から保護された領域に残る。つぎにこの窒化シリコン172およびパッド酸化物170の層がウェア表面からエッチングされて、図6に示される構造が残る。

【0071】つぎに、この構造をフォトレジスト・マスク176でコーティングして、パターン形成を行い、図7に示すように $p$ -チャンネル・トランジスタが形成される薄いシリコン表面層118の残りの領域を露出させる。燐が約 $3 \times 10^{11} \text{ cm}^{-2}$ の用量、および、30 keV程度のイオン・エネルギーでフォトレジスト・マスク176を介してインプラントされ、表面シリコン層に $n$ -ウェル領域120を形成する。

【0072】 $p$ -チャンネル・トランジスタのためのバック・ゲート電極150を形成するために、比較的高いエネルギーのホウ素、すなわち、200 keV程度のエネルギーを有するホウ素が $10^{13} \text{ cm}^{-2}$ の用量で、 $n$ -ウェル領域120を形成するのに用いられたのと同じフォトレジスト・マスク176を介してインプラントされる。エネルギーがずっと高いインプラントは埋め込み絶縁層116を貫通して、バック・ゲート電極150の下側の基板に到達する。

【0073】ウェハのどのエリアがバック・ゲート電極インプラントを受け、どの部分が受けないかを判定するために、厚めのフォトレジストが用いられる。このようにして、個々のトランジスタが形成されるべき領域に設けられた複数の絶縁された電極を有する基板を提供すること、あるいは、2つまたはそれ以上のトランジスタに共通の1つのバック・ゲート電極を形成することができる。

【0074】SUPREM3を用いたシミュレーション

の結果では、小部分のホウ素イオンが $n$ -ウェル領域 120 を形成している薄いシリコンにとどまり、前工程でインプラントされた燐を一定程度補償することが示されている。しかしながら、インプラントされたホウ素イオンの大部分は図 9 のグラフに示すように埋め込まれた酸化物の下側に存在している。

【0075】オプションとして、 $n$ -ウェル領域 120 を形成するために用いられたフォトレジスト・マスク 176 を取り除いて、その後、第 2 のフォトレジスト（図示せず）を再び適用してパターン形成を行い、トランジスタのアクティブなチャンネル領域 134 だけが後に残る $n$ -ウェル領域 120 内の領域だけを露出することにより、回路性能を多少改善することができる。その場合、バック・ゲート電極インプラントはこの第 2 のフォトレジスト・マスクを介して行われることになる。

【0076】こうしたプロセス修正によって、チャンネルおよびバック・ゲート電極のためのインプラント領域をそれぞれ最適化することができ、トランジスタのソースおよびドレイン領域とバック・ゲート電極との間のキャパシタンスを減少させることができるが、ただし、フォトリソグラフィ工程の追加という代償は払わねばならない。

【0077】フォトレジスト・マスク（層）176 をはぎ取った後、フォトレジストを再び用いてパターン形成を行い、その内部に $n$ -チャンネル・トランジスタがつくられる $p$ -ウェル領域 122 を露出させる。これら $p$ -ウェル領域 122 は約 20 keV のエネルギーと、約  $3 \times 10^{11} \text{ cm}^{-2}$  の用量でホウ素をインプラントして形成される。つぎに $n$ -チャンネルに対するバック・ゲート電極 152 が 200 keV 程度のエネルギーと、 $10^{13} \text{ cm}^{-2}$  の用量で露出された領域にインプラントすることによって形成される。

【0078】プロセスを簡単にするために、ひとつの方式としては、 $p$ -ウェル領域 122 を形成するために用いたのと同じフォトレジスト・マスクを用いてバック・ゲート電極インプラントを実行する方法がある。オプションとして、上に述べたように、（ソースおよびドレイン領域ではなく）アクティブ・トランジスタ・チャンネル領域 134 が真位置される $p$ -ウェル領域内だけを露出させることにより新しいフォトレジスト・マスクが形成されると、改良された回路性能が得られる。

【0079】バック・ゲート電極インプラントに対する電気的な接続を可能にするためには、フォトレジストが適用され、パターン化されてマスク 180 が形成され

（図 8 参照）、つぎにフィールド酸化物層 124 に開口部 182 がエッチングを介して作成され、バック・ゲート電極インプラント領域内の特定のエリア 184 で下側の基板を露出させ、その場所に、図 7 に示すように、電気的な接触が実現する。

【0080】フォトレジストがまだその場所にある状況

で、エネルギー約 20 keV、用量約  $3 \times 10^{15} \text{ cm}^{-2}$  で重度のホウ素インプラントが行われ、 $p^+$  領域 151、153 がつくられ、この場合、バック・ゲート電極インプラント領域 150 の表面領域の一部の表面ドーパント濃度は約  $10^{20} \text{ cm}^{-3}$  である。この後者のインプラントはバック・ゲート電極に対して低抵抗オーム性接触（コンタクト）を提供する。 $p$ -タイプ・バック・ゲート電極インプラントの各領域には、少なくとも 1 つの電気的相互接続のための接触部が設けられる。この段階で、すべてのフォトレジストはウェハ表面からはぎ取られ、厚みが 100 nm 程度の酸化物によるキャッピング層が全面的にディポジットされる。

【0081】つぎにウェル領域およびバック・ゲート電極を形成するインプラントが、例えば、1000℃の温度で 60 分間アニールされる。アニール・サイクルを十分に長くし、薄いシリコン表面層 118 の $n$ -および $p$ -ウェルを介してドーパントを均一に広げるのに十分に高い温度でアニーリングを行うことが重要である。

【0082】アニールは、図 8 に示すような埋め込みインプラント・ピークからのアップ・ディヒュージョンによってバック・ゲート電極と埋め込み酸化物間の界面のホウ素濃度を上げるのにも寄与する。このことは上に述べた薄いシリコン表面層（フィルム）に存在する MOSFET の閾値電圧の制御におけるバック・ゲート電極の有効性を増大させる。

【0083】これ以後の集積回路を完成させるための処理は従来と同様である。ウェルおよびバック・ゲート電極インプラント・アニール前にシリコン表面をシールするためにディポジットされた 100 nm 厚のキャッピング酸化物はエッチングで取り除かれる。厚さが 20 nm 程度のゲート酸化物が各ウェル領域の薄いシリコン・フィルムの表面上に熱処理で成長させられる。

【0084】つぎに、このゲート酸化物上に厚さが 0.35  $\mu\text{m}$  程度のドーブされていないポリシリコン・フィルムがディポジットされ、フォトリソグラフィを用いてパターン化され、アクティブなトランジスタのためのゲート電極が形成される。このゲート電極は、その後で、以下に述べられるようなインプラネーションによってドーブされる（図 8 参照）。

【0085】MOSFET のためのソースおよびドレイン領域を形成するための先行技術に基づく種々の方法が知られている。例えば、ストレイトフォーワード法は、以下の工程を含んでいる。フォトレジストが適用されてパターン形成され、 $p$ -チャンネル・トランジスタだけが露出される。エネルギー約 10 keV、用量約  $3 \times 10^{15} \text{ cm}^{-2}$  のホウ素インプラントを用いて $p^+$  ソース領域 130 およびドレイン領域 132 を形成し、これらのトランジスタのためのポリシリコン・ゲート電極 138 を重度にドーブする。

【0086】つぎにフォトレジスト・マスクを取り除い

て、新しいフォトレジスト層を適用し、パターン化して  $n$ -チャンネル・トランジスタだけを露出する。エネルギー約  $20 \text{ keV}$ 、用量約  $4 \times 10^{15} \text{ cm}^{-2}$  のリンインプラントを用いて  $n^+$  ソース領域  $140$  およびドレイン領域  $142$  をこれらのトランジスタのために形成し、 $n$ -チャンネル・トランジスタのゲート電極  $148$  を重度にドーピングする。

【0087】このフォトレジストを取り除いた後、ソース、ドレインおよびゲート領域をドーピングするために用いたインプラントを活性化させ、インプラント・ダメージを、例えば、 $1050^\circ\text{C}$  程度の温度で約  $30$  秒急速熱アニールすることによって取り除く。

【0088】このプロセス・シーケンスの残りのステップは、通常の方法でトランジスタに対する金属接触および相互接続を形成するためにものである。一例として、厚みが  $100 \text{ nm}$  程度のシリコン酸化膜の層を低温度法でディポジットして、つぎに、約  $1 \mu\text{m}$  程度の厚さのホウ素リンケイ酸塩ガラスの層を形成する。選択的なマスキングを行った後、酸化物およびガラスを介して開口部を設け、ソース、ドレイン、ゲートおよびバック・ゲート電子領域に対する接触部が作られるシリコン表面を露出させる。

【0089】フォトレジストを取り除いて、厚さが約  $1 \mu\text{m}$  のアルミニウム層をディポジットさせ、その後、フォトレジストを適用してパターン形成を行い、アルミニウム層をエッチングして、例えば、金属相互接続ライン  $154$ 、 $156$ 、 $160$  および  $162$  を含む第 1 のレベルの金属相互接続部を形成する（図 2 参照）。このようにして、MOSFET の端子に対する接触を提供するために用いられる相互接続金属化層によって埋め込み電極に対する接触を簡単に実現することができる。

【0090】オプションとして、例えば、トランジスタのソース、ドレインおよびゲート領域に対する自動位置調整シリサイド化接触を含むより高度の金属化層形成方式もある。望ましければ、追加誘電層および金属化層を後で公知の方法でディポジットし、パターン形成を行い、多重レベル相互接続金属化方式も利用できる。

【0091】上に述べた処理工程は、 $n$ -タイプの開始時の基板のための特殊なものである。別の方法として、軽度ドーピングした  $p$ -タイプ開始時基板を用いてもよい。後者の場合、バック・ゲート電極構造を製造するために上に述べた処理工程を用いることもできるが、ただし、バック・ゲート電極を形成するために  $n$ -タイプのインプラント、すなわち、リンは  $500 \text{ keV}$  程度のエネルギー、 $10^{13} \text{ cm}^{-2}$  の用量で用いられる。

【0092】埋め込み酸化物層およびシリコン表面層（フィルム）の厚みを適切に選択することによって、ここに開示されているバック・ゲート電極構造を用いて、上に述べたような SOI 基板を製造するためのいずれの公知の技術でも使用することができる。

【0093】上に述べた実施の形態 1 はバック・ゲート電極を有する簡単な  $n$ -MOSFET および  $p$ -MOSFET 構造を含んでいる。プロセス・パラメータおよびインプラント量、およびエネルギーは例として示されているものであって、この実施の形態の多くのバリエーションが実現可能である。

【0094】さらに、処理の最初の段階、すなわちウェル領域を形成する際にバック・ゲート電極が形成されるので、この電極構造は MOSFET を形成する他の公知の方法と適応性を有している。バック・ゲート電極を分散させるために必要なアニールは、MOSFET ソース、ドレインおよびゲート・インプラントのために必要なインプラントの前に完了する。その結果、アクティブな装置を形成するためのその後のステップにおいてはプロセス上の制約がほとんどない。

【0095】また、上記の説明がストレイトフォワード金属化方式に関するものである。トランジスタのソース・ドレインおよびゲート電極に対する自己位置調整シリサイド化接触、および多重レベル相互接続も含めて、他の金属化方式も上に述べたような構造およびプロセスとの適応性（または互換性）を有している。

【0096】本発明に係る他の実施の形態によるトランジスタのソースおよびドレイン領域の形成においては、必要に応じて、改良された性能を実現するために、例えば、軽度ドーピングされたドレイン領域、および／またはポリシリコン・ゲート上の酸化物側壁スペーサーを組み込む、さらに高度の技術が用いられる。

【0097】（実施の形態 2）つぎに、実施の形態 2 について説明する。実施の形態 2 に係る集積回路の一部が図 10 に示されており、実施の形態 1 の場合と同様、 $n$ -タイプ半導体基板層  $214$ 、埋め込みシリコン酸化絶縁層  $216$  およびその上側の薄いシリコン表面層  $218$  を含む SOI 基板  $212$  から構成されている。

【0098】この構造は、基板  $251$  の  $p$ -ウェル領域が形成され、 $n$ -タイプ・バック・ゲート電極  $252$  が上記基板  $251$  の  $p$ -ウェル領域内部に形成されている点が実施の形態 1 とは異なっている。実施の形態 1 の MOSFET  $104$  の場合と同様、ソース領域  $240$ 、ドレイン領域  $242$  およびチャンネル領域  $244$  とゲート酸化物  $246$  およびポリシリコン・ゲート  $248$  を含んだ  $n$ -MOSFET  $204$  が設けられている。

【0099】例えば、 $0.5 \mu\text{m}$  ゲート長構造を有する MOSFET のためのバック・ゲートをインプリメントする場合、シリコン表面層  $218$  の厚みを  $50 \text{ nm}$  程度、埋め込みシリコン酸化絶縁層  $216$  の厚みを  $200 \text{ nm}$  程度にすることが望ましい。こうした薄いフィルムを用いることで、図 10 に示すように、より深いホウ素をインプラントしたウェル内に隔離された  $n$ -タイプリンバック・ゲート電極をインプラントすることが可能になる。

【0100】図10には、1つのMOSFETを示してあるだけだが、この集積回路は、それぞれp-ウェル領域内部に隔離されたn-ドープ領域によって形成された対応するバック・ゲート電極を有する一組のn-MOSFETおよびp-MOSFETを含んでいる。接触は各バック・ゲート電極およびp-ウェル領域に対して行われる。

【0101】バック・ゲート電極252に対してバック・ゲート・バイアスを供給するための電荷ポンプ回路を設計する場合に、このポンプに基板全体のキャパシタンスが負荷されないのが、こうした構造は有利である。動作中、基板は接地される。p-ウェルは可能な範囲で最大の負電圧に電荷ポンプされる。その結果、バック・ゲート電極はどのような正の電圧にでも、あるいはp-ウェルにかけられる強度と同じかそれ以下の負電圧にバイアスさせることができる。

【0102】実施の形態2の構造を製造する方法において(図9参照)、SOI基質212には半導体基板層214、埋め込みシリコン酸化絶縁層216およびシリコン表面層218が設けられている。この実施の形態2は、実施の形態2による構造の説明において述べた比較的薄いシリコン層および埋め込み酸化物層を必要とする半ミクロン以下の長さのゲート・デバイスの場合には有利である。

【0103】このようにp-ウェル領域は、実施の形態1の埋め込み電極を形成するのに用いられたのと同様に、シリコン表面層および埋め込み絶縁層を介しての基板層への高エネルギーp-タイプ・インプラント、すなわち、ホウ素によって形成される。つぎに、n-タイプのドーパントである二番目の高エネルギー・イオン・プラント、すなわちリンによって、p-ウェル領域内部のバック・ゲート電極を形成する。実施の形態1に関して上に述べられたようなフィールド酸化物絶縁層を貫通するバック・ゲート電極のための接触開口部およびp-ウェル領域に対する接触のための追加開口部が設けられるので、p-ウェル領域およびバック・ゲート電極に対してはそれぞれ個別にバイアスを印加することができる。

【0104】その後の工程においては、一連のn-チャンネルおよびp-チャンネルMOSトランジスタが、上に述べたように、従来の方法で形成される。この場合も、ウェル領域および埋め込み電極を形成する処理工程はアクティブなデバイス形成の他の工程前に行われるので、後の処理工程における制約が少ない。

【0105】閾値電圧制御は公知の“ダブル・ゲート”CMOS/SOI構造に対して同様の方法でバック・ゲート電極によって与えられるが、絶縁層の下側に広がる基板半導体層の表面に電極を形成する方法は、集積回路のアクティブなデバイスの設計と製造における柔軟性を増大してくれる。個々のトランジスタ、またはトランジスタのグループの閾値電圧を選択的に制御して性能を最

適化し、プロセス変動および動作中の温度変化に対する補償を行うために、個別のバック・ゲート電極を提供することができる。

【0106】このように、低電圧(～1V)集積回路装置のために、特に有利な閾値電圧のより改良された制御を行うことができる。さらに、上に述べたようなイオン・インプラントしたバック・ゲート電極は他の公知のダブル・ゲートMOSFET構造より製造がずっと簡単なものとなる。

【0107】以上のように、この発明に係るCMOS集積回路にあっては、内部でバック・ゲート電極が絶縁層の下、n-MOSFETおよびp-MOSFETのすぐ下の基板層に提供されているシリコン・オン・インシュレータ基板上にMOSFETを含むCMOS集積回路が提供され、十分にディブリートされたCMOS技術が用いられる。個々のバック・ゲート電極は、個々のMOSFETのバック・ゲートまたはMOSFETのグループに異なったバイアスを選択的に印加するため、個々のMOSFET、または複数のMOSFETの組に設けてもよい。少なくとも異なったバイアスがn-MOSFETとp-MOSFETのバック・ゲートに印加される。このようにして、個々のトランジスタ、あるいはトランジスタのグループの閾値電圧を制御することで、回路の性能を最適化することができる。さらに、プロセス変動、および動作中の温度の変化も含めて閾値電圧の変化をもたらすようなその他の影響に対しても補償を行うことができる。

【0108】各バック・ゲート電極は、埋め込まれた絶縁層の下側、すなわち、酸化物層の下側のシリコン基板に重度にドーパされた領域によって形成された導電性領域によって設けられる。好適に、各バック・ゲート電極は基板に対して反対のドーピング・タイプであるから、電極は基板からも基板上の他のバック・ゲート電極からも隔離されて接合することができる。その結果、下側の薄いシリコン膜に形成された一組のMOSFETの閾値電圧はバック・ゲート電極に電気的な接触を行って他の組のMOSFETに印加されるバイアスとは無関係に適切なバイアスを印加することによって制御することができる。このように、例えば、CMOS集積回路において、1つのバック・ゲート電極は一組のn-MOSFETを制御することができ、他のバック・ゲート電極は一組のp-MOSFETを制御することができる。また、個々のバック・ゲート電極を各MOSFETに対して形成することも可能である。こうして、個々のMOSFET、あるいはMOSFETのグループの閾値電圧を必要に応じて調節し、回路の性能を最適化することができる。この能力は、1V以下の供給電圧で動作する低電力集積回路に特に有益である。

【0109】好適に、オン・チップ回路で、例えば、電荷ポンピングまたは他の手段で行われ、プロセス変動お

よび動作中の温度変化を含むファクターを補償するために、閾値電圧を制御することが可能になる。このように、この構造は、低電圧装置のためのSOI基板を用いて、CMOS技術で形成された十分にディブリートされたMOSFETの閾値電圧を個別的に制御することができる。

【0110】この構造のバック・ゲート電極は開始時のシリコン基板、すなわち、埋め込みインシュレータ層の真下の基板層の表面に形成される。この構造は、したがって、バック・ゲートがMOSFETのソース／ドレインおよびチャンネル領域が形成される薄いシリコン表面層に配置されている、先行技術において公知の“ダブル・ゲート”SOI MOSFETとは異なっており、MOSFETの下側の絶縁層内部に配置されているポリシリコン層によってバック・ゲート電極が設けられており、さらに、開始時の基板とも区別されている。

【0111】電気的な接触は、個々の組のMOSFETのバック・ゲート・バイアスを調節することができる、好ましくはシリコン表面層内に形成された集積回路の他の部分によって個々のバック・ゲート電極にバイアスを印加することができるように各バック・ゲート電極には電気的接触部が設けられている。通常、SIMOX基板を用いたCMOS技術における電界隔離は、パターン化された窒化シリコン・マスクを用いて、シリコン薄膜の部分の選択的酸化によって設けられている。シリコン・フィルムは完全に酸化され、活性なトランジスタを取り囲む領域間の電気的な絶縁を実現する。バック・ゲート電極に対する接触部は、通常、選択された領域でフィールド酸化層を介して好適に形成される。

【0112】オプションとして、深い、サブミクロン・ゲート長のMOSFETを形成するために、シリコン層および下側の埋め込み層の厚みを大幅に減らして、バック・ゲート電極が形成されている。MOSFETの下側に位置する基板へのウェル領域のイオン・プランテーションを考慮することは可能である。例えば、n基板において、p-ウェル領域はホウ素イオン・インプランテーションで形成され、つぎにn-タイプ・バック・ゲート電極がn-ドーパント、すなわち、燐のインプランテーションによってそのp-ウェル領域内に形成される。こうした構造を用いる場合、基板は研磨され、各p-ウェルは可能な範囲で最も負の電位にポンピングされる。好適に、電荷ポンピングでバック・ゲート電極にバイアスを印加する場合、ポンプ回路は基板全体のキャパシタンスによって担持されるのではなく、p-ウェルのキャパシタンスによって担持されるものである。

【0113】また、本発明に係る基板上に集積回路を形成する方法にあっては、好適にも、バック・ゲート電極構造は製造における初期の段階で、装置ウェル領域および埋め込み絶縁層を介してドーパントの高エネルギー・イオン・インプランテーションで形成され、MOSFET

Tのチャンネル領域が形成されるべき領域の下側に広がる重度にドーブされた領域が作りだされる。そのドーパントを活性化するためのアニーリングの後、各重度にドーブされた領域がバック・ゲート電極を形成する導電性領域を提供する。つぎに、MOSFETが通常の処理工程によって上記シリコン表面層に形成される。また、MOSFETのソース、ドレインおよびゲート端子に対する通常の電気的接触に加えて、各バック・ゲート電極に対しても接触部が設けられる。

【0114】好適に、バック・ゲート電極は基板上に、処理の初期の段階で、アクティブ・デバイス、すなわち、MOSFETの形成の前に形成される。

【0115】ウェハのどの領域がバック・ゲート電極のインプラントを受け入れ、どれが受け入れないかを判定するために厚めのフォトレジスト・マスクが用いられる。したがって、各個別のトランジスタが形成されるべき領域に形成された複数の絶縁された電極を有する基板を設けること、あるいは、2つの以上のトランジスタに共通の1つのバック・ゲート電極を形成することが可能になる。

【0116】インプラントされたドーブ領域はnタイプかpタイプであるが、実際的には開始時のシリコン基板とは反対の導電性タイプを有しているため、バック・ゲート電極は基板から、そして同じ基板上に形成される他のバック・ゲート電極から絶縁接合されている。

【0117】また、深い、サブミクロン・チャンネル長のトランジスタを形成するためには、シリコン層および埋め込み絶縁層が十分に薄く、すなわち、シリコン層は20nm以下、埋め込み酸化層は200nm以下で形成されるので、半導体基板層のp-ウェル領域をイオン・インプラントし、その中に上記のようにn-タイプ埋め込み電極を形成するのが実際的である。すなわち、ウェル領域は高エネルギー・ホウ素インプラントで形成され、つぎに、燐インプラントで基板表面のp-ウェル内部にn-タイプ・ゲート電極を形成する。接触はバック・ゲート電極とウェル領域の両方に対して行われる。

【0118】また、本発明に係る他の基板上にCMOS集積回路を形成する方法にあっては、MOSFETを形成した後、個々のトランジスタ、またはトランジスタのグループに適切に選択されたバック・ゲート・バイアスを供給し、任意の回路アプリケーションにおいてその性能を最適化することができる。例えば、少なくとも、異なったバイアスをp-チャンネル・トランジスタの下側のバック・ゲート電極ではなく、n-チャンネル・トランジスタの下側のバック・ゲート電極インプラントに印加する。電極に対する接触は通常、従来の相互接続金属化層によって表面から導電性バイアスを介して好適に設けられる。

【0119】開始時のシリコン基板内に配置され、ここに開示されているような高エネルギー・インプランテーション

10

20

30

40

50

ションによって形成されるバック・ゲート電極構造は、バック・ゲート電極が絶縁層あるいは表面シリコン層に形成されている他の公知の“ダブル・ゲート”構造より製造がずっと簡単である。さらに、バック・ゲート電極の処理が処理工程の初期の段階で完了するので、後の処理工程における制約が少なく、そしてSOI基板上でMOSFETを形成するための公知のCMOSプロセス技術との適応性が改善される。

#### 【図面の簡単な説明】

【図1】公知の先行技術に基づく“ダブル・ゲート”SOI MOSFET構造で構成される集積回路の構造の一部を示す断面図である。

【図2】他の公知の先行技術に基づく構造による集積回路の構造の一部を示す断面図である。

【図3】SOI基板上に形成され、本発明に係る実施の形態1によって製造されたMOSFETを有する集積回路の構造の一部を示す断面図である。

【図4】図3に示された集積回路の一連の製造工程を示す断面図である。

【図5】図3に示された集積回路の一連の製造工程を示す断面図である。

【図6】図3に示された集積回路の一連の製造工程を示す断面図である。

【図7】図3に示された集積回路の一連の製造工程を示す断面図である。

【図8】図3に示された集積回路の一連の製造工程を示す断面図である。

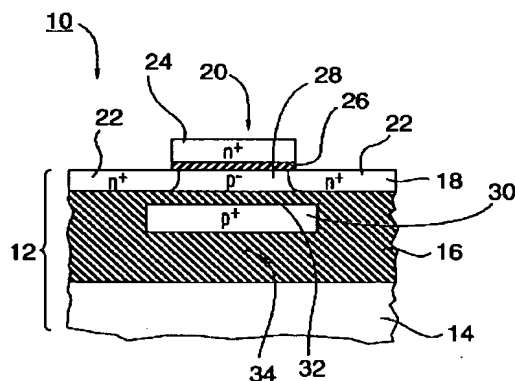
【図9】実施の形態1によって製造されたMOSFETのバック・ゲート電極を形成する高エネルギー・イオン・インプランテーションによって作りだされるSOI 30基板上のドーパント・ホウ素の特徴を示すグラフである。

【図10】実施の形態2に係る集積回路の構造の一部を示す断面図である。

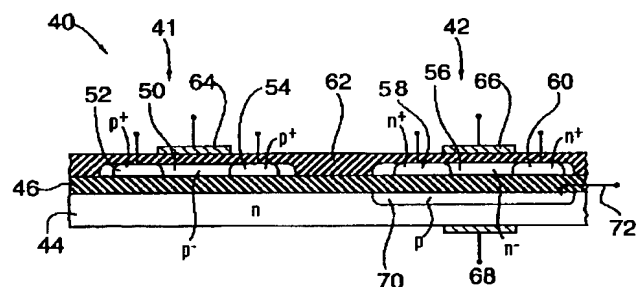
#### 【符号の説明】

100	集積回路
102	p-MOSFET
104	n-MOSFET
112	SOI基板
114	シリコン基板
116	埋め込み絶縁層
120	n-ウェル領域
122	p-ウェル領域
124	フィールド酸化物層
130, 140	ソース領域
132, 142	ドレイン領域
134, 144	チャンネル領域
136, 146	ゲート酸化物層
138, 148	ゲート電極
150, 152	バック・ゲート電極
151, 153	p <sup>+</sup> 領域
154, 156, 160, 162	金属相互接続ライン
170	パット酸化物
172	窒化シリコン
174	フィールド領域
176	フォトリソ・マスク
204	n-MOSFET
212	SOI基板
214	半導体基板層
216	埋め込み酸化物層
218	シリコン表面層
240	ソース領域
242	ドレイン領域
244	チャンネル領域
246	ゲート酸化物
248	ポリシリコンゲート
215	基板
252	バック・ゲート電極

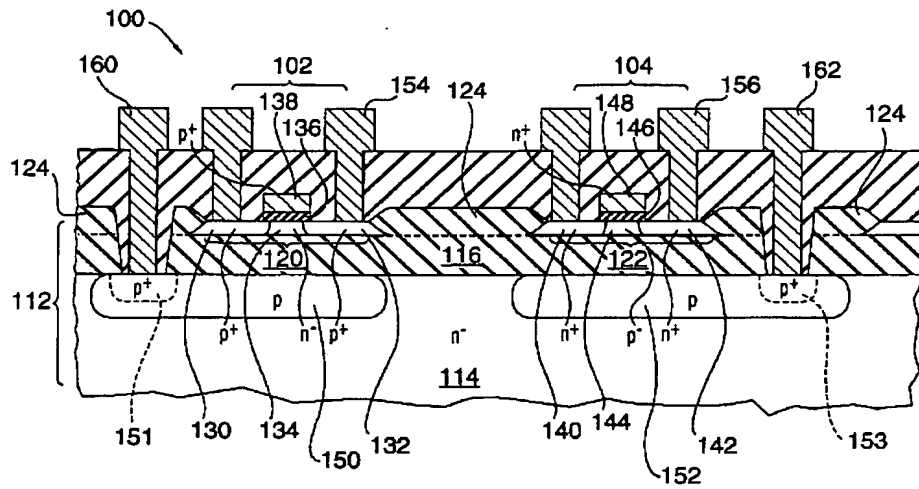
【図1】



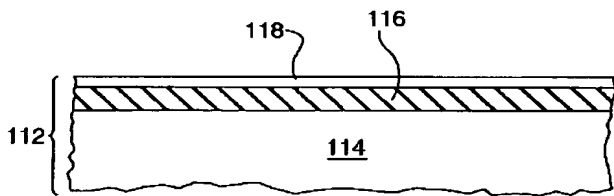
【図2】



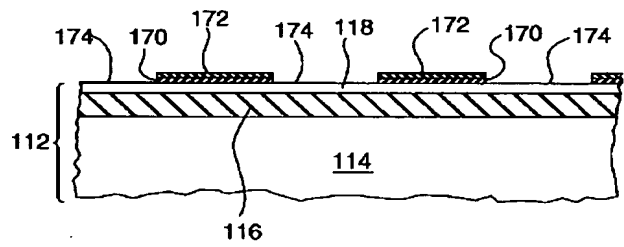
【図 3】



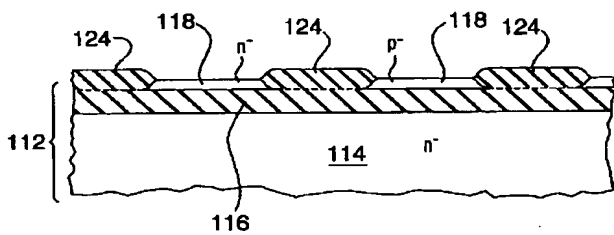
【図 4】



【図 5】



【図 6】



【図 7】

